

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-173055

(43)公開日 平成10年(1998)6月26日

(51)Int.Cl.<sup>6</sup>  
H 01 L 21/82  
G 06 F 17/50

識別記号

F 1  
H 01 L 21/82  
G 06 F 15/60

B  
6 5 6 A

審査請求 未請求 請求項の数5 O.L (全6頁)

(21)出願番号 特願平8-328371

(22)出願日 平成8年(1996)12月9日

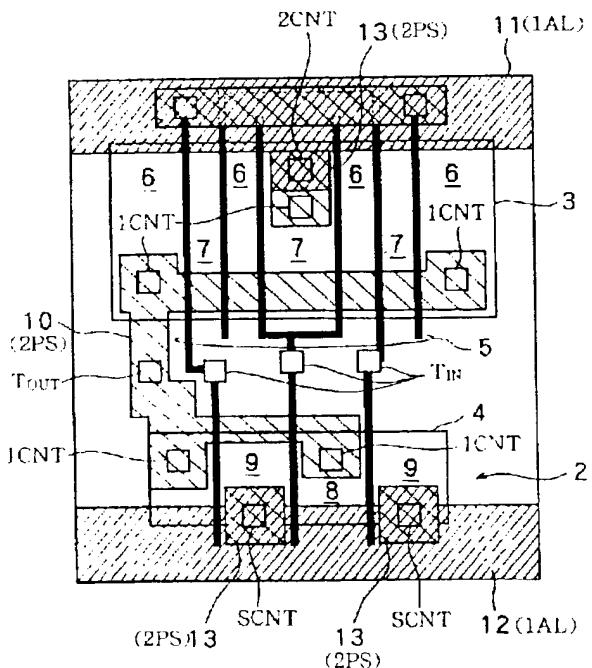
(71)出願人 000002185  
ソニーリテクノロジーズ株式会社  
東京都品川区北品川6丁目7番35号  
(72)発明者 田中 修治  
東京都品川区北品川6丁目7番35号 ソニーリテクノロジーズ株式会社内  
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】セルベース半導体装置及びスタンダードセル

(57)【要約】

【課題】セル同士の信号線結線の自由度をある程度確保しながら、セル面を積縮小化する。

【解決手段】任意に組み合わせることによって所望の回路機能ブロックが構成するセルは、複数の基本素子1、2と、複数の基本素子1、2を内部結線させる内部信号線10と、一方の両側に隣接するセル間で相互に接続され、基本素子1、2に電源電圧を供給する電源線11、12とを有する。内部信号線10は、電源線11、12より下層側の配線層で構成されている。また、電源線11、12より上層側に積層されている信号線用配線層(不図示)は、異なるセルの入出力端子間を結線させる外部信号線を構成している。これにより、第2層目以降の配線層を電源線として利用でき、その線幅を従来よりも狭くでき、また電源線の下層側を有効利用できることから、セル面積を縮小化できる。



## 【特許請求の範囲】

【請求項1】 少なくとも所定の基本素子が予め形成されている複数種類のセルを、任意に組み合せることによって所望の回路機能ブロックが構成されているセルアーフ半導体装置であって、

前記セルは、複数の基本素子と、前記複数の基本素子を七九内部で接続する内部信号線と、一方方向の両側に隣接するセル間で相互に接続され、前記基本素子に電源電圧を供給する電源線とを有し、

前記内部信号線が、前記電源線より下層側で配線層で構成され、

前記電源線より上層側に積層されている信号用配線層は、異なるセルの入出力端子間を結ぶせる外部信号線を構成しているセルアーフ半導体装置。

【請求項2】 前記電源線と同じ階層の配線層によって構成されている前記外部信号線を更に有し、当該外部信号線が、前記電源線と略平行に配線されている請求項1に記載のセルアーフ半導体装置。

【請求項3】 前記電源線より下層側の配線層によって構成されている前記外部信号線を更に有し、当該外部信号線が、前記電源線と略平行に配線されている請求項1に記載のセルアーフ半導体装置。

【請求項4】 前記電源線は、前記内部信号線よりも抵抗の障がい構成されている請求項1に記載のセルアーフ半導体装置。

【請求項5】 少なくとも複数の基本素子と、前記複数の基本素子をセル内で接続する内部信号線と、一方方向の両側に隣接するセル間で相互に接続され、

前記基本素子に電源電圧を供給する電源線とを有するアタッカーセルであって、

前記内部信号線が、前記電源線より下層側の配線層で構成されているアタッカートセル。

## 【発明の詳細な説明】

## 【0.0.0.1】

【発明を属する技術分野】 本発明は、セル同士の信号線結構の信頼性をある程度確保しながら、セル面積を縮小化することができるセルアーフ半導体装置、及びスタートアーフセルに関する。

## 【0.0.0.2】

【従来の技術】 従来、いわゆるセルアーフ（または、ピリティ）アワロック方式ともいふ）のセミカスタム設計手法は、ASIC(Application Specific Integrated Circuit)設計に広く採用されている。この設計手法では、ライアラリに記録されている共通設計資源を組み合せる、また自動配置配線ツールを用いることによってI/O設計に特許権が付される。セルアーフASICは、セル登録した単位論理回路（または、素子単体でも可）を組み合わせて回路機能ブロックを構成せしフランジードセル方式、既に設計された回路機能ブロックを階層構造にて配置配線する一般セル方式に大別される。

【0.0.0.3】 図3および図4は、セルアーフASICの設計に用いられ、予めライアラリに記録されている従来の単位セルを例示するハドウ図である。図3は、2入力のNANDセル、図4は、3入力のNORセルを示す。図3および図4中、符号1はPチャネルMOSトランジスタ（以下、PMOSという）、2はNチャネルMOSトランジスタ（以下、NMOSという）、3はP型能動領域、4はN型能動領域、5はケート電極、6はPMOS 1のトライン領域（p+不純物拡散領域）、7はPMOS 1のマース領域（p-不純物拡散領域）、8はNMOS 2のトライン領域（n-不純物拡散領域）、9はNMOS 2のマース領域（n+不純物拡散領域）、10は内部信号線、11は電源電圧供給線、12はGND線（本発明では、11と12を電源線と統称する）の各バターンである。

【0.0.0.4】 ケート電極5は、例えば第1層目のポリシリコン（1PS）、ポリサイド、タリクステン等の膜から構成される。各ケート電極5の途中には、入力端子T1が設けられている。

【0.0.0.5】 内部信号線10は、ケート電極5上に層間絶縁層を介して積層される。例えば第2層目のポリシリコン（2PS）、ポリサイド、タリクステン等の膜から構成される。内部信号線10下地の層間絶縁層に第1のコントラクト（1CNT）が設けられている。この1CNTを介して、内部信号線10が、PMOS 1のトライン領域6とNMOS 2の一方のトライン領域8とに接続されている。内部信号線10の途中には、出力端子T0.1が設けられている。

【0.0.0.6】 一方、電源線11および12は、セルの上下部分で一方方向に平行に配線され、この配線幅が、種類の異なるセル間（この例では、図3のNANDセルと図4のNORセル間）で統一されている。これは、種類の異なるセルを一方方向に並べるだけで内部の電源電圧供給線11同士、GND線12同士が直列接続されるためである。電源電圧供給線11は、PMOSのマース領域に1CNTを介して接続されている。また、GND線12は、NMOS 2の他方のマース領域9に1CNTを介して接続されている。

【0.0.0.7】 このように構成されている単位セルを用いた従来のセルアーフASICの設計では、自動配置配線ツールに顧客仕様にもとづく必要な機能、性能および制約条件等を与えると、この自動配置配線ツールによつて、適切な論理回路セル（単位セル）がライアラリから呼び出され、最適なバターン設計が行なわれる。すなわち、顧客仕様（機能、性能）を満たすように、種類の異なる単位セルを組み合せ可自動配置した後、配置された各セル間が多層配線によって自動接続される。

【0.0.0.8】 たとえば、図3および図4の例では、自動配置しただけでセル列内部の電源電圧供給線11同士、GND線12同士がそれ相互通接され、上記自動配

線では、セル間で入出力端子TIN, TOUTを相互接続され、外部信号線の配線と、各セル列の電源電圧供給線11と各セル列のGND線12を、それぞれ共通化する外部電源線の配線が行なわれる。

#### 【0.0.0.9】

【発明を解決しようとする課題】所定機能の回路又は素子が予めインストールされた単位セルは、上述したように顧客の要汏に応じて種々の回路機能ブロックを構成するためには併せられることから、その設計段階においては、どのような回路にも対応できるように、そのセル間接続の配線の自由度が大きいことが要求される。具体的に、セル間接続の配線の自由度が大きいとは、単位セル自身のバターンや接続点が後の外部信号線の結線に邪魔にならないことを意味する。このため、例えば図3および図4では、内部信号線10、電源電圧供給線11およびGND線12とは、ともに第1層目の配線層（例えば、タフ・クアテノ層）を用いられる。また、この配線の際には、信号遮蔽の問題も考慮しなければならない。すなわち、逆Yを結ぶ信号線は下層側の配線を利用し、例えばクロックラインやバスラインといった遠くまで信号を運ぶ配線は、邪魔なままでなく配線の自由度が高く、また抵抗の低い上層側の配線を利用することによって、信号の種類に応じた配線層の使い分けがなされる。

【0.0.1.0】一方、半導体プロセスの立場では、配線構造が多層になればなるほど、後のワコセラの容易性を考慮すると平坦化が重要になり、下層側ほど膜厚を薄めて上層側ほど厚くする方が好ましい。加えて、加工性の面では、より上層側にいてほどTilted Line and Spaceの間隔を広げた方が好ましく、また最下層はタンクスチーラー膜など比較的に高抵抗な材料の使用を予めしなきれる場合も多い。以上の観点により、この第1層目の配線層は、例えば、TOP、タフ・クアテノ膜といった比較的抵抗率が高い材料で構成され、しかも比較的薄いので、隣接する素子間を接続する内部配線層としては適している。

【0.0.1.1】しかし、大規模な回路構成をとることがある近年のセルバーフAとBでは、第1層目の配線層をセル内部に電源線に用いることによる不利益が、セル間配線の自由度確保との関係で相対的に大きくなってしまっている。すなわち、近年の上位の製造プロセスでは、4層、5層といった配線構造を多層化することによって配線の自由度が増え、これとともに配線の自由度が増大している。また、論理回路の大規模化および高連化にともなって、面積縮小化や配線長の短縮化の要求が次第に高まり、以前のようなセル間に配線領域を設けずにセル配置領域上で端子配線を行なうこととしている。ところが、従来のセル構造では、より抵抗が高い第1層目の配線層によってセル内部の電源層が構成されていることから、必然的に内部の電源導線を広くとらざるを得ず、セル面積の縮小化が難しいのが実情であった。

【0.0.1.2】本発明は、このような実情に鑑みてなされ、セル同士で信号線結線の自由度をある程度確保しながら、セル面積を縮小化することができ、セルバーフ半導体装置、及びスクレートセルを提供することを目的とする。

#### 【0.0.1.3】

【課題を解決するための手段】上述した従来技術の問題点を解決し、上記目的を達成するために、本発明のセルバーフ半導体装置では、少なくとも基本素子が予め形成されている複数種類のセルを、任意に組み合せることによって所望の回路機能ブロックを構成されているセルバーフ半導体装置であって、前記セルは、複数の基本素子と、前記複数の基本素子をセル内部で接続させる内部信号線と、一方方向の両側に隣接するセル間で相互に接続され、前記基本素子に電源電圧を供給する電源線とを有し、前記内部信号線が、前記電源線より上層側の配線層で構成され、前記電源線より上層側に積層され、その信号線用配線層は、異なるセルの入出力端子間を結ぶを構成していることを特徴とする。

【0.0.1.4】このように、本セルバーフ半導体装置では、セル内の電源線を内部信号線より上層側の配線層で構成されることによって、一般にアーミニウム等から構成される第2層目以降の配線層を電源線として利用でき、電源線の幅を従来よりも狭くすることができる。また、電源線の下層側に第1層目の配線層（ターン）やクロック層を形成できることから、セル面積の縮小化が容易となる。この結果、電源線を従来よりも上層化することとなり、この意味ではセル間配線の自由度は若干低下する。しかし、先に記述したように近年の配線構造の多層化にともなってセル間接続の自由度が大幅に増大していることを考慮し、また電源線より外側には内部信号線を引き出さないようすることによって、セル間接続の自由度低下は全く問題とならず、本発明によって、電源線の上層化によるセル面積が縮小化されるといった大きな効果を得ることができる。

【0.0.1.5】このセル間接続の自由度確保の観点から、電源線は出来るだけ下層側の配線層を利用することが望ましいが、例えば同じ機能のセルを連続的に接続されてもような場合にあっては、電源線と同じ階層、或いは下層側で外部信号線を配線させることができ、この場合の外部信号線は、電源線と略平行に配線せらるる。例えば入出力端子の位置を決めておいて、自由度には一切の問題なく配線を行なうことができる。

【0.0.1.6】本発明のスクレートセルでは、複数の基本素子と、前記複数の基本素子をセル内部で接続させる内部信号線と、一方方向の両側に隣接するセル間で相互に接続され、前記基本素子に電源電圧を供給する電源線とを有するスクレートセルであって、前記内部信号線が、前記電源線より上層側の配線層で構成されていることを特徴とする。

## 【0017】

【発明の実施の形態】以下、本発明に係れるセルベース半導体装置およびバターンゲートセルを、図面を参照しながら詳細に説明する。図1および図2は、セルベースAS1にて設計に用いられ、予めライセンスに登録されている本実施形態に係れる単位セル（スタンダードセル）を例示するバターン図である。本発明のスタンダードセルは、このバターン図に特徴があり、本発明のセルベース半導体装置は、このバターン図に例示されるような種類が異なるセルを、任意に組み合わせることによって所望の回路機能プロトトタイプ構成されている。したがって、以下の説明では、本発明の要部が示されている図1および図2のセルバターンを説明することによって本発明の実施形態を説明する。

【0018】図1は、本発明のセルベースAS1における入力とANDセルを示し、従来例を示す図3と対応する。また、図2は、本発明のセルベースAS1における入力のNOTセルを示し、従来例を示す図4と対応する。なお、ここで図3および図4に示す従来のセルと重複する構成は、同一符号を付し、その詳細な説明は省略する。図1および図2中、符号1はNMOS、2はPMOS、3はN型能動領域、4はP型能動領域、5はゲート電極、6はPMOS1のドレイン領域（P<sub>1</sub>：不純物拡散領域）、7はPMOS2のゲート領域（P<sub>2</sub>：不純物拡散領域）、8はNMOS2のドレイン領域（N<sub>1</sub>：不純物拡散領域）、9はNMOS2のゲート領域（N<sub>2</sub>：不純物拡散領域）、10は内部信号線、11は電源電圧供給線、12はGND線（本発明では、11と12を電源線と総称する）の各バターンを示す。また、符号T<sub>11</sub>は入力端子、T<sub>12</sub>は出力端子、1CNTは第1のコントラクト（第1配線層と、ソース領域7又はドレイン領域5との接続孔）を示す。

【0019】本実施形態のセルが、図3および図4の従来の場合と異なるのは、第1に、電源電圧供給線11およびGND線12が第2層目の配線層（以下、第2配線層といふ）から構成されていることである。具体例には、この第2配線層として、例えば第1層目のA1配線層（1AL）が選択される。この電源線11、12を第2配線層で構成することによって、電源線11、12の幅がそれそれ、この図の場合は従来の40%と細くなっている。なお、この電源線11、12の配線幅は、従来と同様、種類が異なるセル間（この例では、図1のNOTセルと図2のNOTセル間）で統一されている。

【0020】第2に、この電源線11、12を従来より上層側の配線層を用いることによって、上層コントラクトまたはこの電源電圧を供給するコントラクト構造が従来と異なっている。すなわち、PMOS1のゲート領域7上の図示はぬ絶縁層上に、例えば第2層目のコントラクト層が配置され、これが1

1CNTを介してソース領域7接続されている。このコントラクトバー上層13は、その上に成膜される図示はぬ絶縁層に形成される第2のコントラクト（2CNT）を介して上層側の前記電源供給線11に接続されている。同様に、NMOS1側では、そのゲート領域9とのGND線12との間には、それを絶縁層を介してコントラクトバー上層13が存在され、このコントラクトバー上層13は、1CNTを介して下層側のソース領域7に接続され、2CNTを介して上層側のGND線12に接続されている。なお、図2中、符号SCNTは、1CNTと2CNTがコントラクトバー上層13を介させて重ねられたスカラコントラクトの例を示している。

【0021】第3に、従来は電源線が最下層の配線層で構成されていたために、この電源線の上層側の領域が有効に利用できなかつたが、本発明では、電源線を2層目以降の配線層で構成することによって、この上層側領域の有効利用を図ることが可能となつたことである。すなわち、従来の図3および図4では、同じ階層の内部信号線10との距離を確保するために、電源線11、12の内側にしか配置できなかつたコントラクト部（2CNT、SCNT）を、本実施形態では電源線11、12直下に位置させている。また、内部信号線10は電源線11、12の直下で配線することも可能となる。

【0022】図2に図示しないか、このように構成されているスタンダードセルは、従来と同様に、その配置配線時に、顧客仕様にもとづいて多數、種類を組み合わせて回路機能プロトトタイプを形成し、このセル間の入力端子T<sub>11</sub>、出力端子T<sub>12</sub>が、更に上層側の第2層目のA1配線（2AL）、第3層目のA1配線（3AL）…を用いて最適に結線されている。また、セル配線時にセル内で直列接続される電源線11、12は、それを上層側までコントラクトバー上層13を介して持ち上げられ、上層側の配線層によって共通化され、外部に引き出されている。

【0023】本実施形態のセルベースAS1におけるバターンゲートセルは、電源線11、12が、内部信号線10より上層側の配線層で構成されていることから、電源線11、12の体積抵抗率を変えることなく（又は、体積抵抗率を上げながら）線幅を細めて、また電源線11、12の下に内部信号線10を配線することができ、この結果、全体のセル面積を従来より縮小化できる。たとえば、図1および図2の例では、電源線11、12の線幅が従来の60%、その内部信号線10との距離が従来の4.0～5.0%とそれぞれ小さくなつており、この結果、2割ほどセル面積が縮小化されている。このセル構造では、電源線11、12と内部信号線10上を重ねることも可能であり、また1ALの厚さによっては更に電源線11、12の幅を縮減でき、その場合は3～5割といった更なる面積縮小化も可能である。

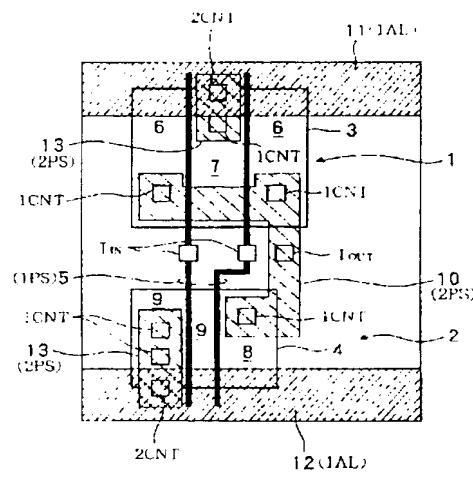
【0024】なお、上記説明は、電源線11、12は2

層目の配線層を用いた場合について行なったが、本発明は、これに限定されず、電源線は内部信号線より上層側の配線層を用い、かくて電源線より上層側で信号線用配線層は、外部信号線、即ち自動配線できる信号線であることが要件である。したがって、電源線と同じ階層、又は下層側において、外部信号線を存在させてもよい。この場合、配線の自由度確保の観点からは、当該外部信号線は、電源線と略平行に配線されていくことが好ましい。また、この外部信号線は、例えば同じ機能のセルを連続的に接続されるような場合にあっては、前記電源線 1-1、1-2 と同様に、信号線引出し位置と導幅が予め決められ、セルを配置させるだけで入力端子 T<sub>11</sub> が隣接セルの出力端子 T<sub>111</sub> に自動接続されるような構成であってもよい。もちろん、この電源線と同じ階層又は下層側の外部信号線は、セリに予め形成されたままでなく、自動配線時に配線を形成してもよい。

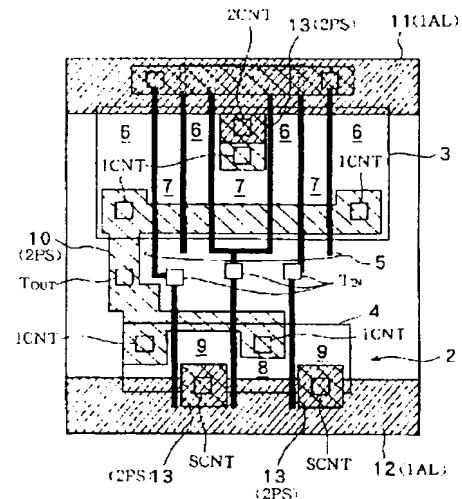
[0.025]

【発明の効果】以上説明してきたように、本発明に係わるセルベース半導体基盤およびスマートセルによれば、セル同士の信号線結線の自由度をある程度確保しながら、セル面積を縮小化することができます。また、電源

〔七〕



〔四〕



線の低抵抗化が可能であり、電圧降下を小さくできる。さらに、配線層の下層側の領域を有利に利用できる。すなわち、面積縮小化のために利用するほか、例えば本実施形態においてようにゲート電極の引出し配線の抵抗を低減したり、電源線の直下にコンタクトを設けることも可能となる。

### 【圖面の簡単な説明】

【図1】本発明の実施形態に係わるNANDセルを示すパターン図である。

【図2】本発明の実施形態に係わるNのRセルを示すパターン図である。

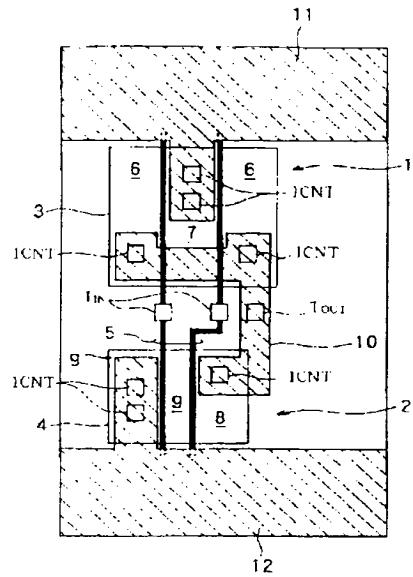
【図3】従来のNANDセルを示すハヤーン図である。

【図4】従来のNのEセルを示すパターン図である。

### 【符号の説明】

1…PMOS、2…NMOS、3…P型不純物領域、4…N型不純物領域、5…ケート電極、6、8…ドライン領域、7、9…ソース領域、10…内部信号線、11…電源電圧供給線（電源線）、12…GND線（電源線）、13…コンタクトハット層、T1…入力端子、T0…出力端子、1CNT、2CNT、3CNT…コンタクト。

〔三三〕



[图 4 ]

